

# PATENT ABSTRACTS OF JAPAN

AA

(11)Publication number : 2001-051668

(43)Date of publication of application : 23.02.2001

(51)Int.Cl. G09G 5/00  
G06F 12/02  
G06F 12/06  
G06T 1/60  
G06T 1/20  
G06T 11/00  
G06T 15/40  
G06T 15/00  
G09G 5/02

(21)Application number : 11-229848

(71)Applicant : SONY CORP

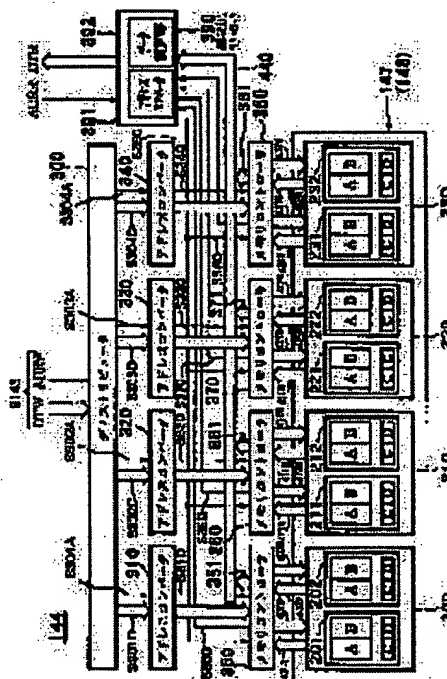
(22)Date of filing : 16.08.1999

(72)Inventor : NARITA ATSUSHI

## (54) IMAGE PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image processor capable of speeding up image processing.  
**SOLUTION:** This image processor has a DRAM 147 by which display data containing plural 1st image data showing respective colors of plural pixels arranged in a matrix state are stored and the plural 1st pixel data can be written simultaneously. In memory controllers 350, 360, 370, 380, plural pixel data generation circuits are incorporated, which are arranged corresponding to the respective plural 1st pixel data to be written simultaneously, and generate 1st pixel data showing new colors by performing color mixing processing for generating new colors by mixing the colors shown by the corresponding 2nd pixel data and the colors shown by 3rd pixel data stored in write addresses at a prescribed mixing ratio by using the 2nd and 3rd pixel data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-51668

(P2001-51668A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl.	識別記号	F I	テ-マ-ト*(参考)
G 0 9 G 5/00	5 5 0	G 0 9 G 5/00	5 5 0 T 5 B 0 4 7
	5 3 0		5 5 0 P 5 B 0 5 7
G 0 6 F 12/02	5 8 0	G 0 6 F 12/02	5 3 0 A 5 B 0 6 0
12/06	5 2 5	12/06	5 8 0 G 5 B 0 8 0
			5 2 5 A 5 C 0 8 2

審査請求 未請求 請求項の数16 OL (全 20 頁) 最終頁に続く

(21)出願番号 特願平11-229848

(22)出願日 平成11年8月16日(1999.8.16)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 成田 篤史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

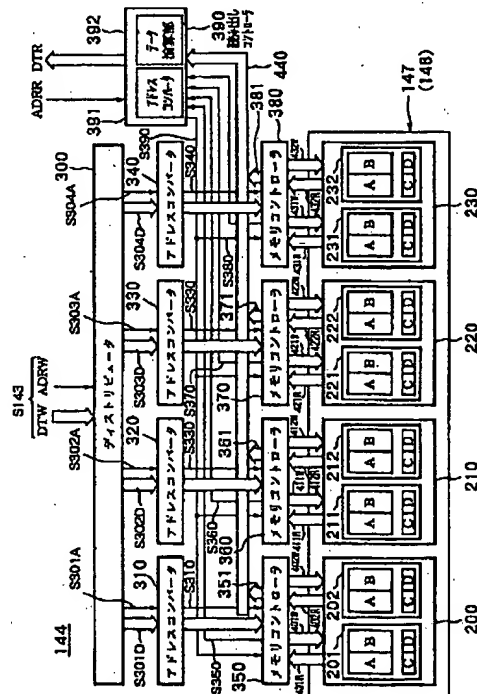
最終頁に続く

(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 処理の高速化を図れる画像処理装置を提供することを目的とする。

【解決手段】 マトリクス状に配置された複数の画素の色をそれぞれ示す複数の第1の画素データを含む表示データを記憶し、複数の第1の画素データを同時に書き込み可能なDRAM147を有する。メモリコントローラ350、360、370、380には、前記同時に書き込まれる前記複数の第1の画素データのそれぞれに対応して設けられ、対応する第2の画素データが示す色と書き込みアドレスに記憶されている第3の画素データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第2の画素データおよび前記第3の画素データを用いて行って前記新たな色を示す前記第1の画素データを生成する複数の画素データ生成回路が組み込まれている。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の画素の色をそれぞれ示す複数の画素データを含む表示データを記憶し、複数の前記画素データを同時に書き込み可能な記憶回路と、

前記記憶回路に同時に書き込まれる複数の画素データのそれぞれに対応して設けられ、対応する前記画素データを書き込む前記記憶回路の記憶領域内のアドレスである書き込みアドレスをそれぞれ生成する複数のアドレス生成回路と、

前記複数の画素データを、前記記憶領域内の前記書き込みアドレスにそれぞれ書き込む書き込み回路とを有する画像処理装置。

【請求項2】前記画素データは、前記色を示す色データと、対応する画素の2次元上のx方向およびy方向の位置をそれぞれ示す第1の位置データおよび第2の位置データとを含み、

前記アドレス生成回路は、

前記第2の位置データと、前記記憶領域のx方向の幅に応じた幅データとを乗算する乗算回路と、

前記第1の位置データと、前記乗算回路の乗算結果とを加算して前記書き込みアドレスを生成する加算回路とを有する請求項1に記載の画像処理装置。

【請求項3】前記画素データは、前記色を示す色データと、対応する画素の2次元上のx方向およびy方向の位置をそれぞれ示す第1の位置データおよび第2の位置データと、3次元表示処理を行う際に用いられる奥行きデータとを含み、

前記アドレス生成回路は、

前記第2の位置データと、前記記憶領域のx方向の幅に応じた幅データとを乗算する第1の乗算回路と、

前記第1の位置データと、前記第1の乗算回路の乗算結果と、色データを記憶する領域として前記記憶領域内に予め決められた第1の記憶領域の先頭アドレスを示す第1のアドレスデータとを加算して前記色データについての前記書き込みアドレスを生成する第1の加算回路と、前記第2の位置データと、前記幅データとを乗算する第2の乗算回路と、

前記第1の位置データと、前記第2の乗算回路の乗算結果と、奥行きデータを記憶する領域として前記記憶領域内に予め決められた第2の記憶領域の先頭アドレスを示す第2のアドレスデータとを加算して前記奥行きデータについての前記書き込みアドレスを生成する第2の加算回路とを有する請求項1に記載の画像処理装置。

【請求項4】前記乗算回路および前記加算回路は、前記画像処理装置の少なくとも一部の回路の機能をハードウェア記述言語を用いて記述した回路パターン生成用データに基づいて、前記少なくとも一部の回路の回路パターンを自動生成した際に、前記回路パターン生成用データにおいて同一のマクロセル内にその機能が記述された請

求項2に記載の画像処理装置。

【請求項5】マトリクス状に配置された複数の画素の色をそれぞれ示す複数の第1の画素データを含む表示データを記憶し、複数の前記第1の画素データを同時に書き込み可能な記憶回路と、

前記同時に書き込まれる前記複数の第1の画素データのそれぞれに対応して設けられ、対応する第2の画素データが示す色と書き込みアドレスに記憶されている第3の画素データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第2の画素データおよび前記第3の画素データを用いて行って前記新たな色を示す前記第1の画素データを生成する複数の画素データ生成回路と、

前記生成された複数の第1の画素データを前記記憶回路の記憶領域に同時に書き込む書き込み回路とを有する画像処理装置。

【請求項6】前記第1の画素データ、前記第2の画素データおよび前記第3の画素データは、複数の色データを含み、当該複数の色データが示す値を組み合わせる色を示し、

前記画素データ生成回路は、

前記複数の色データのそれぞれに対応して設けられ、対応する前記第2の画素データの前記対応する色データが示す色と前記書き込みアドレスに記憶されている第3の画素データの前記対応する色データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第2の画素データおよび前記第3の画素データの前記対応する色データを用いて行って前記新たな色を示す前記第1の画素データの前記対応する色データを生成する複数の色データ生成回路を有する請求項5に記載の画像処理装置。

【請求項7】前記画素データ生成回路は、

前記第2の画素データの前記対応する色データおよび前記第3の画素データの前記対応する色データとを用いて減算を行う減算回路と、

前記減算回路の減算結果と前記混合比を示す混合比データとを乗算する乗算回路とを有する請求項6に記載の画像処理装置。

【請求項8】前記画素データ生成回路は、

前記乗算回路の乗算結果と、ディザデータとを加算する加算回路をさらに有する請求項7に記載の画像処理装置。

【請求項9】前記画素データ生成回路の減算回路および前記乗算回路は、前記画像処理装置の少なくとも一部の回路の機能をハードウェア記述言語を用いて記述した回路パターン生成用データに基づいて、前記少なくとも一部の回路の回路パターンを自動生成した際に、前記回路パターン生成用データにおいて同一のマクロセル内にその機能が記述された請求項7に記載の画像処理装置。

【請求項10】前記複数の色データ生成回路は、前記画

3

像処理装置の少なくとも一部の回路の機能をハードウェア記述言語を用いて記述した回路パターン生成用データに基づいて、前記少なくとも一部の回路の回路パターンを自動生成した際に、前記回路パターン生成用データにおいて同一のマクロセル内にその機能が記述された請求項6に記載の画像処理装置。

【請求項11】立体モデルを複数の単位図形を組み合わせて表現し、表示装置のマトリクス状に配置された画素毎に色を示す画素データを生成する画像処理装置において、

前記単位図形の頂点について、R(赤)、G(緑)、B(青)データを含むポリゴンレンダリングデータを生成するポリゴンレンダリングデータ生成回路と、前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の画素データを生成するデータ補間回路と、

複数の前記画素データの前記R、G、Bデータを含む表示データを記憶し、複数の前記画素データの前記R、G、Bデータを同時に書き込み可能な記憶回路と、前記記憶回路に同時に書き込まれる前記複数の画素データのそれぞれに対応して設けられ、対応する前記画素データの前記R、G、Bデータを書き込む前記記憶回路の記憶領域内のアドレスである書き込みアドレスをそれぞれ生成する複数のアドレス生成回路と、前記複数の画素データの前記R、G、Bデータを、前記記憶領域内の前記書き込みアドレスにそれぞれ書き込む書き込み回路とを有する画像処理装置。

【請求項12】前記ポリゴンレンダリングデータ生成回路は、前記単位図形の頂点のそれぞれについて、当該頂点の2次元座標を示すx、yデータをさらに含む前記ポリゴンレンダリングデータを生成し、

前記アドレス生成回路は、前記yデータと、前記記憶領域のx方向の幅に応じた幅データとを乗算する乗算回路と、

前記xデータと、前記乗算回路の乗算結果とを加算して前記書き込みアドレスを生成する加算回路とを有する請求項11に記載の画像処理装置。

【請求項13】前記ポリゴンレンダリングデータ生成回路は、前記単位図形の頂点について、奥行きを示すzデータをさらに含む前記ポリゴンレンダリングデータを生成し、

前記アドレス生成回路は、前記yデータと、前記記憶領域のx方向の幅に応じた幅データとを乗算する第1の乗算回路と、

前記xデータと、前記第1の乗算回路の乗算結果と、前記R、G、Bデータを記憶する領域として前記記憶領域内に予め決められた第1の記憶領域の先頭アドレスを示す第1のアドレスデータとを加算して前記R、G、Bデータについての前記書き込みアドレスを生成する第1の加算回路と、

4

前記yデータと、前記幅データとを乗算する第2の乗算回路と、

前記xデータと、前記第2の乗算回路の乗算結果と、前記zデータを記憶する領域として前記記憶領域内に予め決められた第2の記憶領域の先頭アドレスを示す第2のアドレスデータとを加算して前記zデータについての前記書き込みアドレスを生成する第2の加算回路とを有する請求項12に記載の画像処理装置。

【請求項14】立体モデルを複数の単位図形を組み合わせて表現し、表示装置のマトリクス状に配置された画素毎に色を示す画素データを生成する画像処理装置において、

前記単位図形の頂点のそれぞれについて、当該頂点のR(赤)、G(緑)、B(青)データを含むポリゴンレンダリングデータを生成するポリゴンレンダリングデータ生成回路と、

前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の第1の画素データを生成するデータ補間回路と、

複数の第2の画素データを含む表示データを記憶し、複数の前記第2の画素データを同時に書き込み可能な記憶回路と、

前記同時に書き込まれる複数の第2の画素データのそれぞれに対応して設けられ、前記第1の画素データが示す色と書き込みアドレスに記憶されている第3の画素データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第1の画素データおよび前記第3の画素データを用いて行って前記新たな色を示す前記第2の画素データを生成する画素データ生成回路と前記生成された複数の第2の画素データを前記記憶回路の記憶領域に同時に書き込む書き込み回路とを有する画像処理装置。

【請求項15】前記第1の画素データ、前記第2の画素データおよび前記第3の画素データは、複数の色データを含み、当該複数の色データが示す値を組み合わせる色を示し、

前記画素データ生成回路は、前記複数の色データのそれぞれに対応して設けられ、対応する前記第2の画素データの前記対応する色データが示す色と前記書き込みアドレスに記憶されている第3の画素データの前記対応する色データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第1の画素データおよび前記第3の画素データの前記対応する色データを用いて行って前記新たな色を示す前記第2の画素データの前記対応する色データを生成する複数の色データ生成回路を有する請求項15に記載の画像処理装置。

【請求項16】前記画素データ生成回路は、前記第1の画素データの前記対応する色データおよび前記第3の画素データの前記対応する色データとを用いて

10

20

30

40

50

減算を行う減算回路と、前記減算回路の減算結果と前記混合比を示す混合比データとを乗算する乗算回路とを有する請求項14に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理装置に関し、特にアドレス生成回路および $\alpha$ ブレンディング処理回路に特徴を有する画像処理装置に関するものである。

【0002】

【従来の技術】種々のCAD (Computer Aided Design) システムや、アミューズメント装置などにおいて、コンピュータグラフィックスがしばしば用いられている。特に、近年の画像処理技術の進展に伴い、3次元コンピュータグラフィックスを用いたシステムが急速に普及している。このような3次元コンピュータグラフィックスでは、各画素(ピクセル)に対応する色を決定するときに、各画素の色の値を計算し、この計算した色を示す画素データを生成し、当該画素データを用いて $\alpha$ ブレンディング処理を行い、その処理結果である新たな画素データを、アドレス生成回路で生成したディスプレイバッファ(フレームバッファ)内の所定のアドレスに書き込むレンダリング(Rendering)処理を行う。

【0003】

【発明が解決しようとする課題】ところで、上述したような3次元コンピュータグラフィックスでは、 $\alpha$ ブレンディング処理およびアドレス生成処理を高速化してシステム全体の処理速度を向上したいという要請がある。

【0004】本発明は上述した従来技術の問題点を鑑みてなされ、処理の高速化を図れる画像処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上述した目的を達成するために、本発明の第1の観点の画像処理装置は、マトリクス状に配置された複数の画素の色をそれぞれ示す複数の画素データを含む表示データを記憶し、複数の前記画素データを同時に書き込み可能な記憶回路と、前記記憶回路に同時に書き込まれる複数の画素データのそれぞれに対応して設けられ、対応する前記画素データを書き込む前記記憶回路の記憶領域内のアドレスである書き込みアドレスをそれぞれ生成する複数のアドレス生成回路と、前記複数の画素データを、前記記憶領域内の前記書き込みアドレスにそれぞれ書き込む書き込み回路とを有する。

【0006】また、第1の観点の画像処理装置では、前記記憶回路に同時に書き込まれる複数の画素データのそれぞれに対応して設けられた複数のアドレス生成回路において、それぞれ対応する前記画素データを書き込む記憶回路の記憶領域内のアドレスである書き込みアドレスが生成される。そして、書き込み回路によって、前記

アドレス生成回路において前記生成された前記記憶回路の記憶領域内の書き込みアドレスに、前記複数の画素データが同時に書き込まれる。

【0007】また、本発明の第1の観点の画像処理装置は、好ましくは、前記画素データは、前記色を示す色データと、対応する画素の2次元上のx方向およびy方向の位置をそれぞれ示す第1の位置データおよび第2の位置データとを含み、前記アドレス生成回路は、前記第2の位置データと、前記記憶領域のx方向の幅に応じた幅データとを乗算する乗算回路と、前記第1の位置データと、前記乗算回路の乗算結果とを加算して前記書き込みアドレスを生成する加算回路とを有する。

【0008】また、本発明の第1の観点の画像処理装置は、好ましくは、前記画素データは、前記色を示す色データと、対応する画素の2次元上のx方向およびy方向の位置をそれぞれ示す第1の位置データおよび第2の位置データと、3次元表示処理を行う際に用いられる奥行きデータとを含み、前記アドレス生成回路は、前記第2の位置データと、前記記憶領域のx方向の幅に応じた幅データとを乗算する第1の乗算回路と、前記第1の位置データと、前記第1の乗算回路の乗算結果と、色データを記憶する領域として前記記憶領域内に予め決められた第1の記憶領域の先頭アドレスを示す第1のアドレスデータとを加算して前記色データについての前記書き込みアドレスを生成する第1の加算回路と、前記第2の位置データと、前記幅データとを乗算する第2の乗算回路と、前記第1の位置データと、前記第2の乗算回路の乗算結果と、奥行きデータを記憶する領域として前記記憶領域内に予め決められた第2の記憶領域の先頭アドレスを示す第2のアドレスデータとを加算して前記奥行きデータについての前記書き込みアドレスを生成する第2の加算回路とを有する。

【0009】また、本発明の第1の観点の画像処理装置は、好ましくは、前記乗算回路および前記加算回路は、前記画像処理装置の少なくとも一部の回路の機能をハードウェア記述言語を用いて記述した回路パターン生成用データに基づいて、前記少なくとも一部の回路の回路パターンを自動生成した際に、前記回路パターン生成用データにおいて同一のマクロセル内にその機能が記述されたことを特徴とする。

【0010】また、本発明の第2の観点の画像処理装置は、マトリクス状に配置された複数の画素の色をそれぞれ示す複数の第1の画素データを含む表示データを記憶し、複数の前記第1の画素データを同時に書き込み可能な記憶回路と、前記同時に書き込まれる前記複数の第1の画素データのそれぞれに対応して設けられ、対応する第2の画素データが示す色と書き込みアドレスに記憶されている第3の画素データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第2の画素データおよび前記第3の画素データを用いて

行って前記新たな色を示す前記第1の画素データを生成する複数の画素データ生成回路と、前記生成された複数の第1の画素データを前記記憶回路の記憶領域に同時に書き込む書き込み回路とを有する。

【0011】本発明の第2の観点の画像処理装置では、記憶回路に同時に書き込まれる複数の第1の画素データのそれぞれに対応して設けられた複数のアドレス生成回路において、それぞれ対応する第2の画素データが示す色と書き込みアドレスに記憶されている第3の画素データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理が、前記第2の画素データおよび前記第3の画素データを用いて行われ、前記新たな色を示す前記第1の画素データが生成される。そして、書き込み回路によって、前記生成された複数の第1の画素データが、同時に前記記憶回路の記憶領域に書き込まれる。

【0012】本発明の第2の観点の画像処理装置は、好ましくは、前記第1の画素データ、前記第2の画素データおよび前記第3の画素データは、複数の色データを含み、当該複数の色データが示す値を組み合わせて色を示し、前記画素データ生成回路は、前記複数の色データのそれぞれに対応して設けられ、対応する前記第2の画素データの前記対応する色データが示す色と前記書き込みアドレスに記憶されている第3の画素データの前記対応する色データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第2の画素データおよび前記第3の画素データの前記対応する色データを用いて行って前記新たな色を示す前記第1の画素データの前記対応する色データを生成する複数の色データ生成回路を有する。

【0013】また、本発明の第2の観点の画像処理装置は、好ましくは、前記画素データ生成回路は、前記第2の画素データの前記対応する色データおよび前記第3の画素データの前記対応する色データとを用いて減算を行う減算回路と、前記減算回路の減算結果と前記混合比を示す混合比データとを乗算する乗算回路とを有する。

【0014】また、本発明の第2の観点の画像処理装置は、好ましくは、前記画素データ生成回路は、前記乗算回路の乗算結果と、ディザデータとを加算する加算回路をさらに有する。

【0015】また、本発明の第2の観点の画像処理装置は、好ましくは、前記画素データ生成回路の減算回路および前記乗算回路は、前記画像処理装置の少なくとも一部の回路の機能をハードウェア記述言語を用いて記述した回路パターン生成用データに基づいて、前記少なくとも一部の回路の回路パターンを自動生成した際に、前記回路パターン生成用データにおいて同一のマクロセル内にその機能が記述されたことを特徴とする。

【0016】また、本発明の第2の観点の画像処理装置は、好ましくは、前記複数の色データ生成回路は、前記

画像処理装置の少なくとも一部の回路の機能をハードウェア記述言語を用いて記述した回路パターン生成用データに基づいて、前記少なくとも一部の回路の回路パターンを自動生成した際に、前記回路パターン生成用データにおいて同一のマクロセル内にその機能が記述されたことを特徴とする。

【0017】また、本発明の第3の観点の画像処理装置は、立体モデルを複数の単位図形を組み合わせて表現し、表示装置のマトリクス状に配置された画素毎に色を示す画素データを生成する画像処理装置であって、前記単位図形の頂点について、R(赤)、G(緑)、B(青)データを含むポリゴンレンダリングデータを生成するポリゴンレンダリングデータ生成回路と、前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の画素データを生成するデータ補間回路と、複数の前記画素データの前記R、G、Bデータを含む表示データを記憶し、複数の前記画素データの前記R、G、Bデータを同時に書き込み可能な記憶回路と、前記記憶回路に同時に書き込まれる前記複数の画素データのそれぞれに対応して設けられ、対応する前記画素データの前記R、G、Bデータを書き込む前記記憶回路の記憶領域内のアドレスである書き込みアドレスをそれぞれ生成する複数のアドレス生成回路と、前記複数の画素データの前記R、G、Bデータを、前記記憶領域内の前記書き込みアドレスにそれぞれ書き込む書き込み回路とを有する。

【0018】また、本発明の第4の観点の画像処理装置は、立体モデルを複数の単位図形を組み合わせて表現し、表示装置のマトリクス状に配置された画素毎に色を示す画素データを生成する画像処理装置であって、前記単位図形の頂点のそれぞれについて、当該頂点のR(赤)、G(緑)、B(青)データを含むポリゴンレンダリングデータを生成するポリゴンレンダリングデータ生成回路と、前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の第1の画素データを生成するデータ補間回路と、複数の第2の画素データを含む表示データを記憶し、複数の前記第2の画素データを同時に書き込み可能な記憶回路と、前記同時に書き込まれる複数の第2の画素データのそれぞれに対応して設けられ、前記第1の画素データが示す色と書き込みアドレスに記憶されている第3の画素データが示す色とを所定の混合比で混合して新たな色を生成するための色混合処理を、前記第1の画素データおよび前記第3の画素データを用いて行って前記新たな色を示す前記第2の画素データを生成する画素データ生成回路と前記生成された複数の第2の画素データを前記記憶回路の記憶領域に同時に書き込む書き込み回路とを有する。

【0019】

【発明の実施の形態】以下、本実施形態においては、パ

ーソナルコンピュータなどに適用される、任意の3次元物体モデルに対する所望の3次元画像をCRT (Cathode Ray Tube)などのディスプレイ上に高速に表示する3次元コンピュータグラフィックスシステムについて説明する。

【0020】図1は、本実施形態の3次元コンピュータグラフィックスシステム10のシステム構成図である。

【0021】3次元コンピュータグラフィックスシステム10は、立体モデルを単位図形である三角形(ポリゴン)の組み合わせとして表現し、このポリゴンを描画することで表示画面の各画素の色を決定し、ディスプレイに表示するポリゴンレンダリング処理を行うシステムである。また、3次元コンピュータグラフィックスシステム10では、平面上の位置を表現する(x, y)座標の他に、奥行きを表すz座標を用いて3次元物体を表し、この(x, y, z)の3つの座標で3次元空間の任意の一点を特定する。

【0022】図1に示すように、3次元コンピュータグラフィックスシステム10は、メインプロセッサ11、メインメモリ12、I/Oインタフェース回路13、およびレンダリング回路14が、メインバス15を介して接続されている。以下、各構成要素の機能について説明する。

【0023】メインプロセッサ11は、たとえば、アプリケーションの進行状況などに応じて、メインメモリ12から必要なグラフィックデータを読み出し、このグラフィックデータに対してクリッピング (Clipping) 処理、ライティング (Lighting) 処理などのジオメトリ (Geometry) 処理などを行い、ポリゴンレンダリングデータを生成する。メインプロセッサ11は、ポリゴンレンダリングデータS11を、メインバス15を介してレンダリング回路14に出力する。

【0024】I/Oインタフェース回路13は、必要に応じて、外部から動きの制御情報またはポリゴンレンダリングデータなどを入力し、これをメインバス15を介してレンダリング回路14に出力する。

【0025】ここで、ポリゴンレンダリングデータは、ポリゴンの各3頂点の(x, y, z, R, G, B,  $\alpha$ , s, t, q)のデータを含んでいる。ここで、(x, y, z)データは、ポリゴンの頂点の3次元座標を示し、(R, G, B,  $\alpha$ )データは、それぞれ当該3次元座標における赤、緑、青の輝度値、並びに $\alpha$ ブレンディング処理を行う際の混合値を示している。(s, t, q)データのうち、(s, t)は、対応するテクスチャの同次座標を示しており、qは同次項を示している。ここで、「s/q」および「t/q」に、それぞれテクスチャサイズUSIZEおよびVSIZEを乗じてテクスチャ座標データ(u, v)が得られる。テクスチャバッファ147aに記憶されたテクスチャデータへのアクセスは、テクスチャ座標データ(u, v)を用いて行われ

る。すなわち、ポリゴンレンダリングデータは、三角形の各頂点の物理座標値と、それぞれの頂点の色とテクスチャデータである。

【0026】以下、レンダリング回路14について詳細に説明する。図1に示すように、レンダリング回路14は、DDA (Digital Differential Analyzer) セットアップ回路141、トライアングルDDA回路142、テクスチャエンジン回路143、メモリインタフェース(I/F)回路144、CRTコントロール回路145、RAMDAC回路146、DRAM147およびSRAM (Static RAM) 148を有する。本実施形態におけるレンダリング回路14は、一つの半導体チップ内にロジック回路と少なくとも表示データとテクスチャデータとを記憶するDRAM147とが混載されている。

【0027】DRAM147

DRAM147は、テクスチャバッファ147a、ディスプレイバッファ147b、z バッファ147cおよびテクスチャCLUT (Color Look Up Table) バッファ147dとして機能する。

【0028】また、DRAM147には、より多くのテクスチャデータを格納するために、インデックスカラーにおけるインデックスと、そのためのカラーlookupアップテーブル値が、テクスチャCLUT バッファ147dに格納されている。インデックスおよびカラーlookupアップテーブル値は、テクスチャ処理に使われる。すなわち、通常はR, G, Bそれぞれ8ビットの合計24ビットでテクスチャ要素を表現するが、それではデータ量が膨らむため、あらかじめ選んでおいたたとえば256色等の中から一つの色を選んで、そのデータをテクスチャ処理に使う。このことで256色であればそれぞれのテクスチャ要素は8ビットで表現できることになる。インデックスから実際のカラーへの変換テーブルは必要になるが、テクスチャの解像度が高くなるほど、よりコンパクトなテクスチャデータとすることが可能となる。これにより、テクスチャデータの圧縮が可能となり、内蔵DRAMの効率良い利用が可能となる。

【0029】さらにDRAM147には、描画と同時に並行的に隠れ面処理を行うため、描画しようとしている物体の奥行き情報が格納されている。なお、表示データと奥行きデータおよびテクスチャデータの格納方法としては、メモリブロックの先頭から連続して表示データが格納され、次に奥行きデータが格納され、残りの空いた領域に、テクスチャの種類毎に連続したアドレス空間でテクスチャデータが格納される。これにより、テクスチャデータを効率よく格納できることになる。

【0030】図2は、DRAM147、SRAM148、並びに、DRAM147およびSRAM148へアクセスするメモリI/F回路144の具体的な構成例を示すブロック図である。

【0031】図2に示すように、図1に示すDRAM1



47およびSRAM148は、前述したように4個のメモリモジュール200, 210, 220, 230に分割されている。

【0032】メモリモジュール200は、メモリ201, 202を有する。メモリ201は、DRAM147の一部を構成するバンク201A, 201Bと、SRAM148の一部を構成するバンク201C, 201Dとを有する。また、メモリ202は、DRAM147の一部を構成するバンク202A, 202Bと、SRAM148の一部を構成するバンク202C, 202Dとを有する。なお、SRAM148を構成するバンク201C, 201D, 202C, 202Dに対しては同時アクセスが可能である。

【0033】メモリモジュール210は、メモリ211, 212を有する。メモリ211は、DRAM147の一部を構成するバンク211A, 211Bと、SRAM148の一部を構成するバンク211C, 211Dとを有する。また、メモリ212は、DRAM147の一部を構成するバンク212A, 212Bと、SRAM148の一部を構成するバンク212C, 212Dとを有する。なお、SRAM148を構成するバンク211C, 211D, 212C, 212Dに対しては同時アクセスが可能である。

【0034】メモリモジュール220は、メモリ221, 222を有する。メモリ221は、DRAM147の一部を構成するバンク221A, 221Bと、SRAM148の一部を構成するバンク221C, 221Dとを有する。また、メモリ222は、DRAM147の一部を構成するバンク222A, 222Bと、SRAM148の一部を構成するバンク222C, 222Dとを有する。なお、SRAM148を構成するバンク221C, 221D, 222C, 222Dに対しては同時アクセスが可能である。

【0035】メモリモジュール230は、メモリ231, 232を有する。メモリ231は、DRAM147の一部を構成するバンク231A, 231Bと、SRAM148の一部を構成するバンク231C, 231Dとを有する。また、メモリ232は、DRAM147の一部を構成するバンク232A, 232Bと、SRAM148の一部を構成するバンク232C, 232Dとを有する。なお、SRAM148を構成するバンク231C, 231D, 232C, 232Dに対しては同時アクセスが可能である。

【0036】ここで、メモリモジュール200, 210, 220, 230の各々は、図1に示すテキストバッファ147a、ディスプレイバッファ147b、Zバッファ147cおよびテキストCLUTバッファ147dの全ての機能を持つ。すなわち、メモリモジュール200, 210, 220, 230の各々は、対応する画素のテキストデータ、描画データ(R, G, B,

α)データ)、zデータおよびテキストカラーlookupアップテーブルデータの全てを記憶する。ただし、メモリモジュール200, 210, 220, 230は、相互で異なる画素についてのデータを記憶する。ここで、同時に処理される16画素についてのテキストデータ、描画データ、zデータおよびテキストカラーlookupアップテーブルデータが、相互に異なるバンク201A, 201B, 202A, 202B, 211A, 211B, 212A, 212B, 221A, 221B, 222A, 222B, 231A, 231B, 232A, 232Bに記憶される。これにより、I/F回路144は、DRAM147に対して、たとえば2×8画素の16画素についてのデータが同時にアクセス可能になる。なお、I/F回路144は、後述するように、いわゆる所定のインターリーブ方式のアドレッシングに基づいてDRAM147へのアクセス(書き込み)を行う。

【0037】なお、バンク201C, 201D, 202C, 202D, 211C, 211D, 212C, 212D, 221C, 221D, 222C, 222D, 231C, 231D, 232C, 232Dには、それぞれバンク201A, 201B, 202A, 202B, 211A, 211B, 212A, 212B, 221A, 221B, 222A, 222B, 231A, 231B, 232A, 232Bに記憶されているテキストデータが記憶される。

【0038】テキストバッファ147aには、同時にアクセスが行われる画素データからなる単位ブロックが、一次元のアドレス空間で連続したアドレスを持つように記憶される。

【0039】以下、DRAM147の機能を説明する。DRAM147の記憶領域は、例えば、1Mワード(1ワード=32ビット)の記憶容量を持ち、図3に示すように、ディスプレイバッファ147b、Zバッファ147c、テキストバッファ147aとして使用される。なお、DRAM147には、図示はしないが、テキストカラーのモードがインダイレクトモードのときに使用されるカラーlookupアップテーブル(CLUT)のデータを記憶できる。

【0040】また、DRAM147は、図4に示すように、それぞれ2kワードのページ(ロウ)と呼ばれる512個の領域から構成される。さらに、1ページは、64ワードのブロックと呼ばれる領域を32個集めて構成され、ディスプレイバッファ147aやZバッファ147cはページ単位でバッファを構成するのにに対して、テキストバッファ147bはさらに細かいブロック単位でバッファを構成できる。従って、ベースポイントは、ディスプレイバッファ147aおよびZバッファ147cは2kワードのページ単位で設定するのにに対して、テキストバッファ147aは64ワードのブロック単位で設定できる。



13

【0041】以下、ページ、ブロックおよびカラムの概念についてメモリモジュール200を用いて説明する。図5、図6および図7に示すように、DRAM147の記憶領域において、 $2 \times 8$ 画素(ピクセル)の領域でアクセスされたデータは、ページ(ロウ)、ブロックおよびカラムと呼ばれる領域に格納される。各ロウROW0〜ROW $n+1$ は、図5に示すように、それぞれ4個の領域M0A、M0B、M1A、M1Bに区分けされている。領域M0A、M0Bは、例えば、それぞれ図2に示すメモリモジュール200のメモリチップ201のバンク201A、201Bの記憶領域に対応している。領域M1A、M1Bは、例えば、それぞれ図2に示すメモリモジュール200のメモリチップ202のバンク202A、202Bの記憶領域に対応している。

【0042】そして、x方向について8画素毎のバウンダリ、かつy方向について偶数のバウンダリでの領域でアクセス(書き込み、読み出し)が行われる。これにより、たとえばロウROW0とロウROW1をまたぐような領域へのアクセスが行われることがなく、いわゆるページ違反が発生することがない。

【0043】また、32ピクセル格納モードでは、図7に示すように、領域M0A、M0B、M1A、M1Bは、図7に示すように、32個のカラムから構成される。

【0044】DDAセットアップ回路141

DDAセットアップ回路141は、後段のトライアングルDDA回路142において物理座標系上の三角形の各頂点の値を線形補間して、三角形の内部の各画素の色と深さ情報を求めるに先立ち、ポリゴンレンダリングデータS11が示す( $z, R, G, B, \alpha, s, t, q$ )データについて、三角形の辺と水平方向の差分などを求めるセットアップ演算を行う。このセットアップ演算は、具体的には、開始点の値と終点の値と、開始点と終点との距離を用いて、単位長さ移動した場合における、求めようとしている値の変分を算出する。DDAセットアップ回路141は、算出した変分データS141をトライアングルDDA回路142に出力する。

【0045】トライアングルDDA回路142

トライアングルDDA回路142は、DDAセットアップ回路141から入力した変分データS141を用いて、三角形内部の各画素における線形補間された( $z, R, G, B, \alpha, s, t, q$ )データを算出する。トライアングルDDA回路142は、各画素の( $x, y$ )データと、当該( $x, y$ )座標における( $z, R, G, B, \alpha, s, t, q$ )データとを、DDAデータ(補間データ)S142としてテクスチャエンジン回路143に出力する。たとえば、トライアングルDDA回路142は、並行して処理を行う矩形内に位置する8(=2×4)画素分のDDAデータS142をテクスチャエンジン回路143に出力する。

14

【0046】テクスチャエンジン回路143

テクスチャエンジン回路143は、「 $s/q$ 」および「 $t/q$ 」の算出処理、テクスチャ座標データ( $u, v$ )の算出処理、テクスチャバッファ147aからの( $R, G, B$ )データの読み出し処理等をパイプライン方式で行う。なお、テクスチャエンジン回路143は、たとえば所定の矩形内に位置する8画素についての処理を同時に並行して行う。

【0047】テクスチャエンジン回路143は、DDAデータS142が示す( $s, t, q$ )データについて、 $s$ データを $q$ データで除算する演算と、 $t$ データを $q$ データで除算する演算とを行う。テクスチャエンジン回路143には、たとえば図示しない除算回路が8個設けられており、8画素についての除算「 $s/q$ 」および「 $t/q$ 」が同時に行われる。

【0048】また、テクスチャエンジン回路143は、除算結果である「 $s/q$ 」および「 $t/q$ 」に、それぞれテクスチャサイズUSIZEおよびVSIZEを乗じて、テクスチャ座標データ( $u, v$ )を生成する。また、テクスチャエンジン回路143は、メモリI/F回路144を介して、SRAM148あるいはDRAM147に、生成したテクスチャ座標データ( $u, v$ )を含む読み出し要求を出力し、メモリI/F回路144を介して、SRAM148あるいはテクスチャバッファ147aに記憶されているテクスチャデータを読み出すことで、( $s, t$ )データに対応したテクスチャアドレスに記憶された( $R, G, B$ )データS148を得る。ここで、SRAM148には、前述したようにテクスチャバッファ147aに格納されているテクスチャデータが記憶される。テクスチャエンジン回路143は、読み出した( $R, G, B$ )データS148の( $R, G, B$ )データと、前段のトライアングルDDA回路142からのDDAデータS142に含まれる( $R, G, B$ )データとを、それぞれ掛け合わせるなどして新たな( $R, G, B$ )データを生成し、この生成した( $R, G, B$ )データと、DDAデータS142に含まれる( $x, y, z, \alpha$ )データとを格納した画素データS143を生成する。テクスチャエンジン回路143は、この画素データS143をメモリI/F回路144に出力する。

【0049】なお、テクスチャバッファ147aには、MIPMAP(複数解像度テクスチャ)などの複数の縮小率に対応したテクスチャデータが記憶されている。ここで、何れの縮小率のテクスチャデータを用いるかは、所定のアルゴリズムを用いて、前記三角形単位で決定される。

【0050】テクスチャエンジン回路143は、フルカラー方式の場合には、テクスチャバッファ147aから読み出した( $R, G, B$ )データを直接用いる。一方、テクスチャエンジン回路143は、インデックスカラー方式の場合には、あらかじめ作成したカラーlookupアッ

プテーブル( CLUT )をテクスチャCLUTバッファ147dから読み出して、内蔵するSRAMに転送および記憶し、このカラーlookupアップテーブルを用いて、テクスチャバッファ147aから読み出したカラーインデックスに対応する( R, G, B )データを得る。

【0051】メモリI/F回路144

メモリI/F回路144は、テクスチャエンジン回路143から入力した画素データS143に格納されたzデータと、zバッファ147cに記憶されているzデータとの比較を行い、入力した画素データS143によって描画される画像が、前回、ディスプレイバッファ147bに書き込まれた画像より、手前(視点側)に位置するかどうかを判断し、手前に位置する場合には、画素データS143に対応するzデータでzバッファ147cに記憶されたzデータを更新する。また、メモリI/F回路144は、画素データS143に格納された( R, G, B )データを、必要に応じてαブレンディング処理を行った後に、ディスプレイバッファ147bに書き込む。さらに、メモリI/F回路144は、テクスチャエンジン回路143からのSRAM148に、生成されたテクスチャ座標データ( u, v )を含む読み出し要求を受けた場合には、SRAM148に記憶された( R, G, B )データS148を読み出す。また、メモリI/F回路144は、CRTコントロール回路145から表示データを読み出す要求を受けた場合には、この要求に応じて、ディスプレイバッファ147bから一定の固まり、たとえば8画素あるいは16画素単位で表示データを読み出す。

【0052】このように、メモリI/F回路144は、DRAM147およびSRAM148へのアクセス(書き込みまたは読み出し)を行うが、書き込み経路と読み出し経路とが別経路として構成されている。すなわち、書き込みの場合には書き込みアドレスADRWと書き込みデータDTWが書き込み系回路で処理されてDRAM147に書き込み、読み出しの場合には読み出し系回路で処理されてDRAM147またはSRAM148から読み出す。そして、メモリI/F回路144は、所定のインターリーブ方式のアドレッシングに基づいてDRAM147へのアクセスを、たとえば16画素単位で行う。

【0053】以下に、メモリI/F回路144の具体的な構成例について、図2に関連付けて説明する。

【0054】メモリI/F回路144は、図2に示すように、ディストリビュータ300、アドレスコンバータ310、320、330、340、メモリコントローラ350、360、370、380および読み出しコントローラ390を有する。

【0055】[ディストリビュータ300]ディストリビュータ300は、DRAM147に対して、たとえば2×8画素の16画素についてのデータが同時にアクセ

ス可能になるようにデータ分配処理を行う。なお、本実施形態では、x方向について8画素毎のパウナリ、かつy方向について偶数のパウナリでの領域でアクセス(書き込み、読み出し)を行うようなアドレッシングとなるように、アドレス生成処理が行われる。

【0056】ディストリビュータ300は、書き込み時に、図1に示すテクスチャエンジン回路143から、16画素分の( R, G, B, α, z )データからなるデータDTWと、( x, y )データからなるアドレスADRWとを格納した画素データS143を入力する。そして、ディストリビュータ300は、16画素分のデータDTWを、各々4画素分のデータからなる4つの画素データS301D, S302D, S303D, S304Dに分割し、これらをそれぞれアドレスコンバータ310, 320, 330, 340に出力する。また、ディストリビュータ300は、16画素分の書き込みアドレスADRRWを、各々4画素分の書き込みアドレスからなる4つの書き込みアドレスS301A, S302A, S303A, S304Aに分割し、これらをそれぞれアドレスコンバータ310, 320, 330, 340に出力する。ここで、1画素分の( R, G, B, α )データに含まれるRデータ、Gデータ、Bデータおよびαデータは各々8ビット、zデータは32ビットからなる。

【0057】[アドレスコンバータ310, 320, 330, 340]アドレスコンバータ310, 320, 330, 340は、書き込み時に、ディストリビュータ300から入力した( R, G, B, α )データおよびzデータの書き込みアドレスS301A, S302A, S303A, S304Aを、それぞれメモリモジュール200, 210, 220, 230内のアドレスに変換するアドレス変換処理を行い、それによって得た書き込みアドレスS310, S320, S330, S340と、画素データS301D, S302D, S303D, S304Dとをそれぞれメモリコントローラ350, 360, 370, 380に出力する。ここで、アドレスコンバータ310, 320, 330, 340におけるアドレス変換処理は基本的に同じであるため、以下、アドレスコンバータ310において、図6に示すように、32個のブロックから1ページが構成される32ピクセル格納モードを採用した場合を例示して説明する。

【0058】アドレスコンバータ310は、例えば、図2に示すディストリビュータ300から入力した書き込みアドレスS301Aに含まれるx[10:6]データおよびy[10:5]データと、所定の設定レジスタからのバッファ幅データbwおよびベースポイントdp, zbpを用いて、チップセレクトデータcs、バンクセクタデータbs、ディスプレイバッファ147bのロウアドレスdrowおよびコラムアドレスdcol、並びにZバッファ147cのロウアドレスzrowおよびコラムアドレスzcolを生成し、これらを含む

書き込みアドレスS310をメモリコントローラ350に出力する。

【0059】x[10:3]データは、xデータの3～10ビット目の合計8ビットからなり、2次元上のx方向の位置を示し、x[10:6]データによって図5に示す記憶領域のx方向のアドレスを64ワード単位で指定する。また、y[10:1]は、yデータの1～10ビット目の合計10ビットからなり、2次元上のy方向の位置を示し、y[10:5]データによって図5に示す記憶領域のy方向のアドレスを32ワード単位で指定する。また、バッファ幅データbwは、図5に示すDRAM147の2次元の記憶領域のx方向の幅(ワード)を示している。ベースポインタdbpは、図3に示すDRAM147の記憶領域のうちディスプレイバッファ147bとして使用される記憶領域の先頭アドレスを示している。ベースポインタzbpは、図3に示すDRAM147の記憶領域のうちZバッファ147cとして使用される記憶領域の先頭アドレスを示している。

【0060】また、チップセレクトデータcsは、例えば、図2に示すメモリチップ201、202のうち一方を選択するためのデータである。バンクセクタデータbsは、図2に示す各メモリチップにおいて、バンクA、Bのうち一方を選択するためのデータである。ディスプレイバッファ147bのロウアドレスdrowは、DRAM147内のページのベースポインタdbpからのアドレスを示すデータである。また、コラムアドレスdcolは、DRAM147内のロウアドレスdrowによって指定されたページ内のコラムについてのロウアドレスdrowからのアドレスを示すデータである。Zバッファ147cのロウアドレスzrowは、DRAM147内のページのベースポインタzbpからのページアドレスを示すデータである。また、コラムアドレスzcolは、DRAM147内のロウアドレスzrowによって指定されたページ内のコラムについてのロウアドレスzrowからのアドレスを示すデータである。

【0061】以下、アドレスコンバータ310内の構成について説明する。図8は、アドレスコンバータ310内に組み込まれた1画面分の書き込みアドレスを生成するアドレス生成ブロック480の構成図である。アドレスコンバータ310は、4画面について同時処理を行うため、図8に示すアドレス生成ブロック480を4個内蔵している。アドレスを生成するアドレス生成ブロック480が、本発明のアドレス生成回路に対応している。

【0062】図8に示すように、アドレス生成ブロック480は、乗算器500、501および加算器502、503を有する。ここで、乗算器500および加算器502を用いてデータS301D内の画面データのディス\*

$$drow = y[10:5] \times bw + x[10:6] + dbp \quad \dots (1)$$

【0068】

\*プレイバッファ147bへの書き込みアドレスを算出し、乗算器501および加算器503を用いてデータS301D内のZデータのZバッファ147cへの書き込みアドレスを算出する。

【0063】本実施形態では、例えば、VHDL (Verilog Hardware Description Language)などのハードウェア記述言語を用いてメモリI/F回路144の機能を記述した回路パターン生成用データを作成し、当該回路パターン生成用データから回路パターンを自動生成する。このとき、回路パターン生成用データにおいて、図8に示す乗算器500および加算器502を1つのマクロセル800として扱い、乗算器501および加算器503を1つのマクロセル801として扱う。これにより、メモリI/F回路144内に組み込まれた複数のアドレス生成ブロック480の設計過程を共有できる共に、乗算器500および加算器502、並びに乗算器501および加算器503を、それぞれ物理的に近接した位置に配置した回路構成を実現でき、回路動作を高速にできる。

【0064】乗算器500は、アドレスデータy[10:1]とバッファ幅データbwとを乗算し、その乗算結果S500を加算器502に出力する。加算器502は、乗算結果S500と、アドレスデータ[10:3]と、ベースポインタdbpとを加算し、その加算結果を図2に示すアドレスS310に含めてメモリコントローラ351に出力する。このとき、加算器502から出力された加算結果内の所定ビットによって、ロウアドレスdrow、コラムアドレスdcol、バンクセクタデータbsおよびチップセレクトデータcsが示されている。

【0065】また、乗算器501は、アドレスデータy[10:1]とバッファ幅データbwとを乗算し、その乗算結果S501を加算器503に出力する。加算器503は、乗算結果S501と、アドレスデータ[10:3]と、ベースポインタzbpとを加算し、その加算結果を図2に示すアドレスS310に含めてメモリコントローラ351に出力する。このとき、加算器503から出力された加算結果内の所定ビットによって、ロウアドレスzrowおよびコラムアドレスzcolが示されている。

【0066】上述したアドレス変換処理において、アドレス生成ブロック480は、以下式(1)～(4)に基づいて、ロウアドレスdrow、コラムアドレスdcol、ロウアドレスzrowおよびコラムアドレスzcolの算出および生成を行っている。

【0067】

【数1】

【数2】

$$dcol = \{x[4], y[3], x[3], y[2:1]\} \quad \dots (2)$$

【0069】

$$zrow = y[10:5] \times bw + x[10:6] + zbp \quad \dots (3)$$

【0070】

$$zcol = \{x[4], y[3], x[3], y[2:1]\} \quad \dots (4)$$

【0071】メモリコントローラ350、360、370、380は、それぞれ書き込み系配線群401W、402W、411W、412W、421W、422W、431W、432W、並びに読み出し系配線群401R、402R、411R、412R、421R、422R、431R、432Rを介してメモリモジュール200、210、220、230に接続されており、書き込み時および読み出し時にメモリモジュール200、210、220、230に対してのアクセスを制御する。

【0072】具体的には、書き込み時には、メモリコントローラ350、360、370、380は、ディストリビュータ300から出力され、アドレスコンバータ350、360、370、380から入力した4画素分の(R, G, B,  $\alpha$ )データおよびzデータを、書き込み系配線群401W、402W、411W、412W、421W、422W、431W、432Wを介してメモリモジュール200、210、220、230に同時に書き込む。このとき、たとえば、メモリモジュール200では、前述したように、バンク201A、201B、202A、202Bの各々に、1画素分の(R, G, B,  $\alpha$ )データおよびzデータが記憶される。メモリモジュール210、220、230についても同じである。

【0073】また、各メモリコントローラ350、360、370、380は、自身のステートマシンがいわゆるアイドル(IDLE)状態にあるときに、アイドル信号S350、S360、S370、S380を読み出しコントローラ390にアクティブで出力し、このアイドル信号S350、S360、S370、S380に回答した読み出しコントローラ390による読み出しアドレスおよび読み出し要求信号S391を受けて、読み出し系配線群401R、402R、411R、412R、421R、422R、431R、432Rを介してデータの読み出しを行い、読み出し系配線群351、361、371、381、並びに配線群440を介して読み出しコントローラ390に出力する。

【0074】なお、本実施形態では、書き込み系配線群401W、402W、411W、412W、421W、422W、431W、432W、並びに読み出し系配線群401R、402R、411R、412R、421R、422R、431R、432Rの配線本数は128本(128ビット)、読み出し系配線群351、361、371、381の配線本数は256本(256ビット)、ならびに読み出し系配線群440の配線本数は1024本(1024ビット)である。

【0075】また、メモリコントローラ350、36

【数3】

【数4】

0、370、380は、それぞれアドレスコンバータ310、320、330、340から入力した画素データS301D、S302D、S303D、S304Dに含まれる4画素分の(R, G, B,  $\alpha$ )データを、それぞれ書き込みアドレスS310、S320、S330、S340が指し示すDRAM147内のアドレスに書き込む際に、各画素毎に、当該入力した(R, G, B)データと、当該指し示されたアドレスに既に記憶されている(R, G, B)データとを $\alpha$ データによって示される混合比で混合して新たな(R, G, B)データを生成し、当該生成した(R, G, B)データと、当該入力した $\alpha$ データとから構成される(R, G, B,  $\alpha$ )データを当該指し示されたDRAM147内のアドレスに書き込む、いわゆる $\alpha$ ブレンディング処理を行う。

【0076】図9は、メモリコントローラ350内の1画素分の $\alpha$ ブレンディング処理を行う $\alpha$ ブレンディング処理ブロックの構成図である。図9に示すように、メモリコントローラ350は、各画素毎に $\alpha$ ブレンディング処理ブロック600R、600G、600Bを有し、これらを4画素分有している。 $\alpha$ ブレンディング処理ブロック600R、600G、600Bが、それぞれ本発明の色データ生成回路に対応している。 $\alpha$ ブレンディング処理ブロック600R、600G、600Bは、それぞれRデータ、GデータおよびBデータについて処理を行う点を除いて同じである。本実施形態では、例えば、VHDLなどのハードウェア記述言語を用いてメモリI/F回路144の回路パターンを設計する際に、 $\alpha$ ブレンディング処理ブロック600R、600G、600Bをそれぞれマクロセルとして扱う。これにより、メモリI/F回路144内に組み込まれた $\alpha$ ブレンディング処理ブロック600R、600G、600Bの設計過程を共有できる共に、 $\alpha$ ブレンディング処理ブロック600R、600G、600Bの各々において構成要素を物理的に近接した位置に配置でき、回路動作を高速にできる。なお、例えば、 $\alpha$ ブレンディング処理ブロック600R、600G、600Bを1つのマクロセルとして扱って設計を行ってもよい。

【0077】図9において、ソースデータSはアドレスコンバータ310から入力した1画素分の(R, G, B,  $\alpha$ )データである。また、デスティネーションデータDは、ソースデータSを書き込もうとするDRAM147内のアドレスに既に記憶されている1画素分の(R, G, B,  $\alpha$ )データである。

【0078】 $\alpha$ ブレンディング処理ブロック600Rは、ソースデータSのRデータおよび $\alpha$ データであるデータSRおよび $\alpha$ と、デスティネーションデータDの

Rデータおよび $\alpha$ データであるデータDRおよび $D\alpha$ と、ディザ(Dither)データDI THとを入力する。ディザデータは、データを間引くために用いられる。また、 $\alpha$ ブレンディング処理ブロック600Rは、DRAM147に書き込むRデータを示すデータWRを生成し、これをクランプブロック650に出力する。

【0079】 $\alpha$ ブレンディング処理ブロック600Gは、ソースデータSのGデータおよび $\alpha$ データであるデータSGおよび $S\alpha$ と、デスティネーションデータDのGデータおよび $\alpha$ データであるデータDGおよび $D\alpha$ と、ディザデータDI THとを入力する。また、 $\alpha$ ブレンディング処理ブロック600Gは、DRAM147に書き込むRデータを示すデータWGを生成し、これをクランプブロック650に出力する。

【0080】 $\alpha$ ブレンディング処理ブロック600Bは、ソースデータSのBデータおよび $\alpha$ データであるデータSBおよび $S\alpha$ と、デスティネーションデータDのBデータおよび $\alpha$ データであるデータDBおよび $D\alpha$ と、ディザデータDI THとを入力する。また、 $\alpha$ ブレンディング処理ブロック600Bは、DRAM147に書き込むBデータを示すデータWBを生成し、これをクランプブロック650に出力する。

【0081】以下、 $\alpha$ ブレンディング処理ブロック600Rについて詳細に説明する。図9に示すように、 $\alpha$ ブレンディング処理ブロック600Rは、マルチプレクサ610、611、612、613、減算器620、乗算器630および加算器640、641を有する。

【0082】マルチプレクサ610、611は、データSR、データDRおよび論理値「0」を入力し、これらのうち一つを、図示しない制御データに基づいて選択

$$WR = (SR - DR) \times D\alpha + DI TH$$

【0087】この場合には、図示しない制御信号に基づいて、マルチプレクサ610においてデータSRが選択され、マルチプレクサ611においてデータDRが選択され、マルチプレクサ612においてデータ $D\alpha$ が選択され、マルチプレクサ613において論理値「0」が選択される。

【0088】次に、減算器620において、データSRからデータDRが減算され、減算結果「 $SR - DR$ 」が乗算器630に出力される。次に、乗算器630において、減算結果「 $SR - DR$ 」と、データ $D\alpha$ との乗算が行われ、乗算結果「 $(SR - DR) \times D\alpha$ 」が加算器641に出力される。また、それと並行して、加算器640において、論理値「0」と、ディザデータDI THとの加算が行われ、加算結果「DI TH」が加算器641に出力される。

【0089】次に、加算器641において、乗算結果「 $(SR - DR) \times D\alpha$ 」と、加算結果「DI TH」との加算が行われ、加算結果「 $(SR - DR) \times D\alpha + DI TH$ 」が、データWRとしてクランプブロック650

\*し、それぞれデータS610、S611として減算器620に出力する。マルチプレクサ612は、データSR、データDRおよび固定の $\alpha$ 値であるFix  $\alpha$ を入力し、これらのうち一つを、図示しない制御データに基づいて選択し、データS612として乗算器630に出力する。マルチプレクサ613は、データSR、データDRおよび論理値「0」を入力し、これらのうち一つを、図示しない制御データに基づいて選択し、それぞれデータS613として加算器640に出力する。

【0083】減算器620は、データS610からデータS611を減算する減算処理を行い、減算結果を示すデータS620を乗算器630に出力する。乗算器630は、データS620とデータS612とを乗算する乗算処理を行い、乗算結果を示すデータS630を加算器641に出力する。

【0084】加算器640は、データS613と、ディザデータDI THとを加算する加算処理を行い、加算結果を示すデータS640を加算器641に出力する。加算器641は、データS630とデータS640とを加算する加算処理を行い、加算結果を示すデータWRを加算器641を後段のクランプブロック650に出力する。ここで、データWRは、DRAM147に書き込むRデータを示している。

【0085】以下、図9に示す $\alpha$ ブレンディング処理ブロック600Rの動作の一例について説明する。ここでは、 $\alpha$ ブレンディング処理ブロック600Rを用いて、下記式(5)の $\alpha$ ブレンディング処理の演算を行う場合を例示する。

【0086】

$$\text{【数5】} \quad \dots (5)$$

に出力される。

【0090】 $\alpha$ ブレンディング処理600Gの処理は、データSG、DGを用いて処理を点を除いて、前述した $\alpha$ ブレンディング処理600Rの処理と同じである。また、 $\alpha$ ブレンディング処理600Bの処理は、データSB、DBを用いて処理を点を除いて、前述した $\alpha$ ブレンディング処理600Rの処理と同じである。

【0091】クランプブロック650は、 $\alpha$ ブレンディング処理ブロック600R、600G、600Bから入力したデータWR、WG、WB、 $S\alpha$ に対して32ビット内にデータ長を調整するために下位数ビットを切り捨てるクランプ処理を行って32ビットの(R, G, B,  $\alpha$ )データS650を生成する。

【0092】メモリコントローラ350は、アドレスコンバータ310からのアドレスS310によって指定されたDRAM147のディスプレイバッファ147b内のアドレスに、(R, G, B,  $\alpha$ )データS650を書き込む。また、アドレスコンバータ310からのアドレスS310によって指定されたDRAM147のzパッ

ファ147c内のアドレスに、対応するzデータを書き込む。

【0093】なお、図21に示すディストリビュータ300の処理と、アドレスコンバータ310、320、330、340の処理と、メモリコントローラ350、351、352、353の処理とが、順次にパイプライン方式で実行される場合には、例えば、図9に示す乗算器630の内部と、加算器640の入力側に、それぞれタイミング調整用のフリップフロップが配設される。

【0094】〔読み出しコントローラ390〕読み出しコントローラ390は、アドレスコンバータ391およびデータ演算処理部392により構成されている。アドレスコンバータ391は、読み出しアドレスADRRを受けた場合、メモリコントローラ350、360、370、380からのアイドル信号S350、S360、S370、S380をすべてアクティブで受けると、このアイドル信号S350、S360、S370、S380に応答して、8画素あるいは16画素単位で読み出しを行うように、読み出しアドレスおよび読み出し要求信号S391を各メモリコントローラ350、360、370、380に出力する。データ演算部392は、読み出しアドレスおよび読み出し要求信号S391に回答して各メモリコントローラ350、360、370、380で読み出された8画素あるいは16画素単位の、テキストデータ、(R, G, B)データ、zデータおよびテキストカラーlookupアップテーブルデータを配線群440を介して入力し、所定の演算処理を行って、要求先、たとえばテキストエンジン回路143またはCRTコントロール回路145に出力する。

【0095】読み出しコントローラ390は、上述したように、メモリコントローラ350、360、370、380のすべてがアイドル状態にあるときに、読み出しアドレスおよび読み出し要求信号S391をメモリコントローラ350、360、370、380に出力に読み出しデータを受けることから、読み出すデータの同期をとることができる。したがって、読み出しコントローラ390は、データを一時的に保持するFIFO (First In First Out)回路等の保持回路を設ける必要がなく、回路規模の縮小化が図られている。

【0096】CRTコントロール回路145

CRTコントロール回路145は、与えられた水平および垂直同期信号に同期して、図示しないCRTに表示するアドレスを発生し、ディスプレイバッファ147bから表示データを読み出す要求をメモリI/F回路144に出力する。この要求に応じて、メモリI/F回路144は、ディスプレイバッファ147bから一定の固まりで表示データを読み出す。CRTコントロール回路145は、ディスプレイバッファ147bから読み出した表示データを記憶するFIFO回路を内蔵し、一定の時間間隔で、RAMDAC回路146に、RGBのインデッ

クス値を出力する。

【0097】RAMDAC回路146

RAMDAC回路146は、各インデックス値に対応するR, G, Bデータを記憶しており、CRTコントローラ回路145から入力したRGBのインデックス値に対応するデジタル形式のR, G, Bデータを、図示しないD/Aコンバータ (Digital/Analog Converter)に転送し、アナログ形式のR, G, Bデータを生成する。RAMDAC回路146は、この生成されたR, G, BデータをCRTに出力する。

【0098】次に、上記構成による動作を説明する。3次元コンピュータグラフィックスシステム10においては、グラフィックス描画等のデータは、メインプロセッサ11のメインメモリ12、あるいは外部からのグラフィックスデータを受けるI/Oインタフェース回路13からメインバス15を介してレンダリング回路14に与えられる。なお、必要に応じて、グラフィックス描画等のデータは、メインプロセッサ11等において、座標変換、クリップ処理、ライティング処理等のジオメトリ処理が行われる。ジオメトリ処理が終わったグラフィックスデータは、三角形の各3頂点の頂点座標x, y, z、輝度値R, G, B、描画しようとしている画素と対応するテキスト座標s, t, qとからなるポリゴンレンダリングデータS11となる。

【0099】このポリゴンレンダリングデータS11は、レンダリング回路14のDDAセットアップ回路141に入力される。DDAセットアップ回路141においては、ポリゴンレンダリングデータS11に基づいて、三角形の辺と水平方向の差分などを示す変分データS141が生成される。具体的には、開始点の値と終点の値、並びに、その間の距離を用いて、単位長さ移動した場合における、求めようとしている値の変化分である変分が算出され、変分データS141としてトライアングルDDA回路142に出力される。

【0100】トライアングルDDA回路142においては、変分データS141を用いて、三角形内部の各画素における線形補間された(z, R, G, B,  $\alpha$ , s, t, q)データが算出される。そして、この算出された(z, R, G, B,  $\alpha$ , t, q)データと、三角形の各頂点の(x, y)データとが、DDAデータS142として、トライアングルDDA回路142からテキストエンジン回路143に出力される。

【0101】テキストエンジン回路143においては、DDAデータS142が示す(s, t, q)データについて、sデータをqデータで除算する演算と、tデータをqデータで除算する演算とが行われる。そして、除算結果「s/q」および「t/q」に、それぞれテキストサイズUSIZEおよびVSIZEが乗算され、テキスト座標データ(u, v)が生成される。

【0102】次に、テキストエンジン回路143から

メモリ I / F 回路144 に対して生成されたテクスチャ座標データ (u, v) を含む読み出し要求が出力され、メモリ I / F 回路144 を介して、SRAM148 に記憶された (R, G, B) データ S148 が読み出される。次に、テクスチャエンジン回路143 において、読み出した (R, G, B) データ S148 の (R, G, B) データと、前段のトライアングル DDA 回路142 からの DDA データ S142 に含まれる (R, G, B) データとをそれぞれ掛け合わせるなどして新たな (R, G, B) データが生成され、この生成された (R, G, B) データと、DDA データ S142 に含まれる (x, y, z,  $\alpha$ ) データとを格納した画素データ S143 が生成される。この画素データ S143 は、テクスチャエンジン回路143 からメモリ I / F 回路144 に出力される。

【0103】フルカラーの場合には、テクスチャバッファ147a からのデータ (R, G, B) を直接利用すればよいが、インデックスカラーの場合には、あらかじめ作成しておいたカラーインデックステーブル (Color Index Table) のデータが、テクスチャ CLUT (Color Look Up Table) バッファ147d より、SRAM 等で構成される一時保管バッファへ転送され、この一時保管バッファの CLUT を用いてカラーインデックスから実際の R, G, B カラーが得られる。なお、CLUT が SRAM で構成された場合は、カラーインデックスを SRAM のアドレスに入力すると、その出力には実際の R, G, B カラーが出てくるといった使い方となる。

【0104】次に、図2 示すメモリ I / F 回路144 内のアドレスコンバータ310, 320, 330, 340 において、16 個の画素データについての書き込みアドレスが、それぞれ対応する図8 に示すアドレス生成ブロック480 を用いて算出される。そして、メモリ I / F 回路144 において、テクスチャエンジン回路143 から入力した画素データ S143 に対応する z データと、z バッファ147c 内の上記算出された書き込みアドレスに記憶されている z データとの比較が行われ、入力した画素データ S12 によって描画される画像が、前回、ディスプレイバッファ21 に書き込まれた画像より、手前 (視点側) に位置するか否かが判断される。判断の結果、手前に位置する場合には、画素データ S143 に含まれる z データで z バッファ147c に記憶された z データが更新される。

【0105】次に、図2 に示すメモリ I / F 回路144 内のメモリコントローラ350, 360, 370, 380 において、画素データ S143 に含まれる (R, G, B,  $\alpha$ ) データを用いた  $\alpha$  ブレンディング処理が行われ、その結果得られた (R, G, B,  $\alpha$ ) データがディスプレイバッファ147b に書き込まれる。これら書き込む (更新も含む) べきデータは、書き込み系回路である、ディストリビュータ300、アドレスデコーダ31

0, 320, 330, 340 を介してメモリコントローラ350, 360, 370, 380 に供給され、メモリコントローラ350, 360, 370, 380 によって、それぞれ書き込み系配線群401W, 402W, 411W, 412W, 421W, 422W, 431W, 432W を介して所定のメモリに対して並列的に書き込まれる。

【0106】このとき、メモリコントローラ350, 360, 370, 380 は、 $\alpha$  ブレンディング処理において、それぞれアドレスコンバータ310, 320, 330, 340 から入力した画素データ S301D, S302D, S303D, S304D に含まれる4 画素分の (R, G, B,  $\alpha$ ) データを、各画素毎に、当該入力した (R, G, B) データと、当該指し示されたアドレスに既に記憶されている (R, G, B) データとを  $\alpha$  データによって示される混合比で混合して新たな (R, G, B) データを生成する。そして、メモリコントローラ350, 360, 370, 380 は、該生成した (R, G, B) データと、当該入力した  $\alpha$  データとから構成される (R, G, B,  $\alpha$ ) データを当該指し示された DRAM147 内のアドレスに書き込む。

【0107】また、図示しない CRT に画像を表示する場合には、CRT コントロール回路145 において、与えられた水平垂直同期周波数に同期して、表示アドレスが発生され、メモリ I / F 回路144 へ表示データ転送の要求が出される。メモリ I / F 回路144 では、その要求に従い、一定のまとまった固まりで、表示データが CRT コントロール回路145 に転送される。CRT コントロール回路145 では、図示しないディスプレイ用 FIFO (First In First Out) 等にその表示データが貯えられ、一定の間隔で RAMDAC146 へ RGB のインデックス値が転送される。

【0108】以上説明したように、本実施形態によれば、16 画素分の画素データについての書き込みアドレスの生成処理を16 個の図8 に示すアドレス生成ブロック480 を用いて並列に行い、アドレス生成処理の高速化を図る。また、本実施形態によれば、図8 に示すように、1 画素分のアドレス生成ブロック480 において、マクロセル800, 801 を用いて設計を行うことで、アドレスコンバータ310, 320, 330, 340 の処理の高速化を図る。また、図8 に示すアドレス生成ブロック480 を用いて前述したように書き込みアドレス S310, S320, S330, S340 を生成することで、同時にアクセスする16 画素分の画素データを、それぞれ異なる16 個のバンク201A, 201B, 202A, 202B, 211A, 211B, 212A, 212B, 221A, 221B, 222A, 222B, 231A, 231B, 232A, 232B に割り当てる。その結果、3 次元コンピュータグラフィックスシステム10 によれば、16 画素分の (R, G, B,  $\alpha$ ) データを D



RAM147のディスプレイバッファ147bに同時に書き込むことができ、処理速度を向上できる。

【0109】また、本実施形態によれば、図9に示すように、各画素データについての $\alpha$ ブレンディング処理を、Rデータ、GデータおよびBデータについて並列に行うことで、 $\alpha$ ブレンディング処理の高速化を図る。また、本実施形態によれば、図9に示すように、1画素分の $\alpha$ ブレンディング処理ブロック600R、600G、600Bを、それぞれマクロセルを用いて設計を行うことで、メモリコントローラ350、360、370、380における $\alpha$ ブレンディング処理の処理の高速化を図る。その結果、3次元コンピュータグラフィックスシステム10によれば、処理速度を向上できる。

【0110】また、本実施形態では、DRAM147およびSRAM148へのアクセス（書き込みまたは読み出し）を行うメモリI/F回路144において、書き込み経路と読み出し経路とを別経路として構成し、書き込みの場合には書き込みアドレスADRWと書き込みデータDTWを書き込み系回路であるディストリビュータ300、アドレスコンバータ310、320、330、340およびメモリコントローラ350、360、370、380で処理してDRAM147に書き込み、読み出しの場合には読み出し系回路である読み出しコントローラ390、メモリコントローラ350、360、370、380で処理してDRAM147またはSRAM148から読み出すことから、たとえば読み出しの割り込みが入った時等に早いタイミングで切り替えることができ、読み出しの際の性能向上を図れる。

【0111】さらに、本実施形態によれば、半導体チップ内部に内蔵されたDRAM147に、表示データと少なくとも一つの図形要素が必要とするテクスチャデータを記憶させた構成を有することから、表示領域以外の部分にテクスチャデータを格納できることになり、内蔵DRAMの有効利用が可能となり、高速処理動作、並びに低消費電力化を並立させるようにした画像処理装置が実現可能となる。そして、単一メモリシステムを実現でき、すべてが内蔵された中だけで処理ができる。その結果、アーキテクチャとしても大きなパラダイムシフトとなる。また、メモリの有効利用ができることで、内部に持っているDRAMのみでの処理が可能となり、内部にあるがゆえのメモリと描画システムの間大きなバンド幅が、十分に活用可能となる。また、DRAMにおいても特殊な処理を組み込むことが可能となる。

【0112】なお、本発明は上述した実施形態には限定されない。また、上述した図1に示す3次元コンピュータグラフィックスシステム10では、SRAM148を用いる構成を例示したが、SRAM148を設けない構成にしてもよい。

【0113】さらに、図1に示す3次元コンピュータグラフィックスシステム10では、ポリゴンレンダリングデータを生成するジオメトリ処理を、メインプロセッサ11で行う場合を例示したが、レンダリング回路14で行う構成にしてもよい。

【0114】また、上述した実施形態では、16個の画素データを同時にDRAM147に書き込む場合を例示したが、同時に書き込みを行う画素データの数任意である。

【0115】

【発明の効果】以上説明したように、本発明の画像処理装置によれば、高速な処理を実現できる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る3次元コンピュータグラフィックスシステムの構成を示すブロック図である。

【図2】図2は、図1に示すメモリI/F回路およびDRAMの構成を示すブロック図である。

【図3】図3は、図1に示すDRAMの機能を説明するための図である。

【図4】図4は、図1に示すDRAMのアドレス空間を説明するための図である。

【図5】図5は、図1に示すDRAMにおけるページ（ロウ）の概念について説明するための図である。

【図6】図6は、図1に示すDRAMにおけるブロックの概念について説明するための図である。

【図7】図7は、図1に示すDRAMにおけるカラムの概念について説明するための図である。

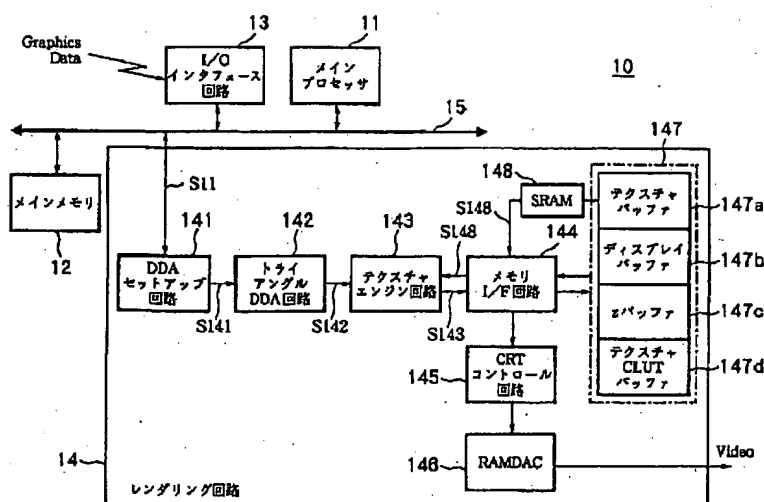
【図8】図8は、図2に示すアドレスコンバータ内の1画素分のアドレス生成ブロックのブロック図である。

【図9】図9は、図2に示すメモリコントローラの1画素分の $\alpha$ ブレンディング処理ブロックのブロック図である。

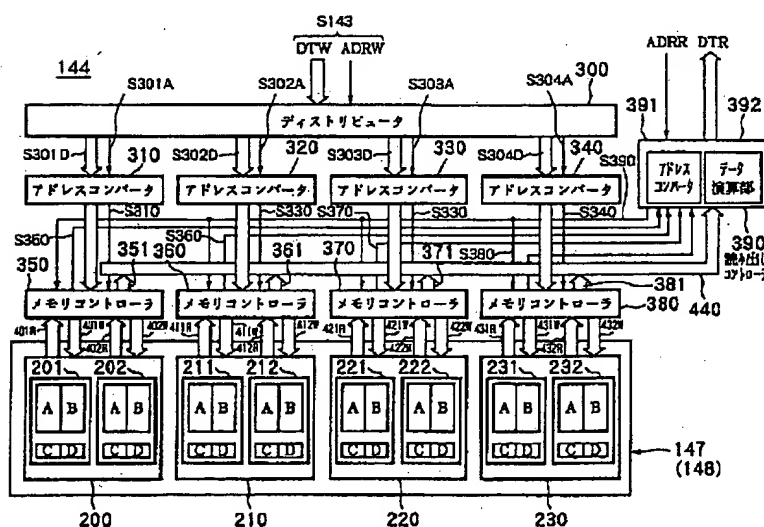
【符号の説明】

10…3次元コンピュータグラフィックスシステム、11…メインプロセッサ、12…メインメモリ、13…I/Oインタフェース回路、14…レンダリング回路、141…DDAセットアップ回路、142…トライアングルDDA回路、143…テクスチャエンジン回路、144…メモリI/F回路、145…CRTコントローラ回路、146…RAMDAC回路、147…DRAM、147a…テクスチャバッファ、147b…ディスプレイバッファ、147c…zバッファ、147d…テクスチャCLUTバッファ、148…SRAM、200、210、220、230…メモリモジュール、300…ディストリビュータ、310、320、330、340…アドレスデコーダ、350、360、370、380…メモリコントローラ、390…読み出しコントローラ、391…アドレスデコーダ、392…データ演算処理部

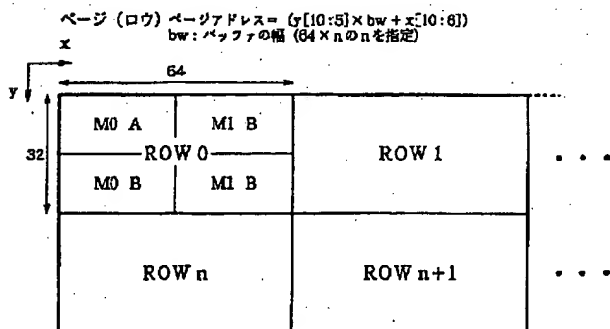
【 図1 】



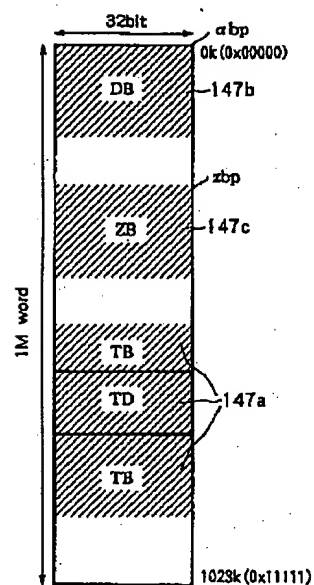
【 図2 】



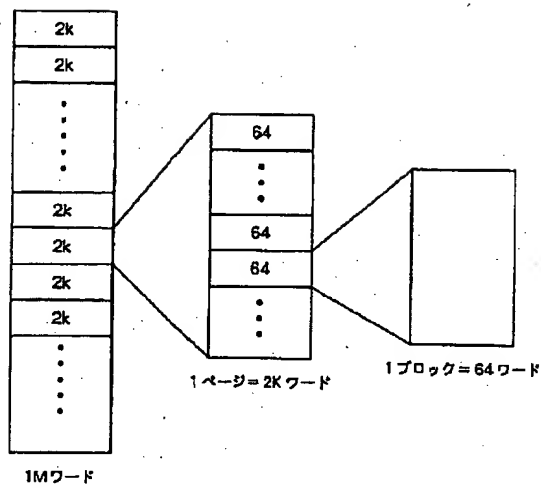
【図5】



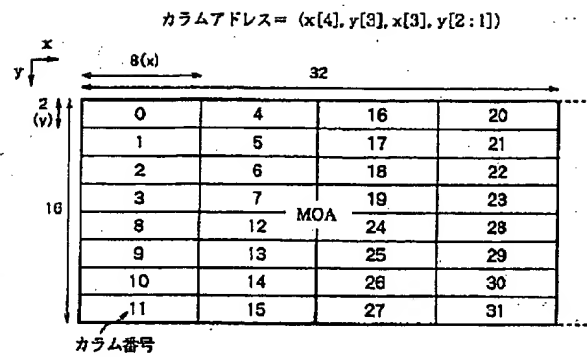
【 図3 】



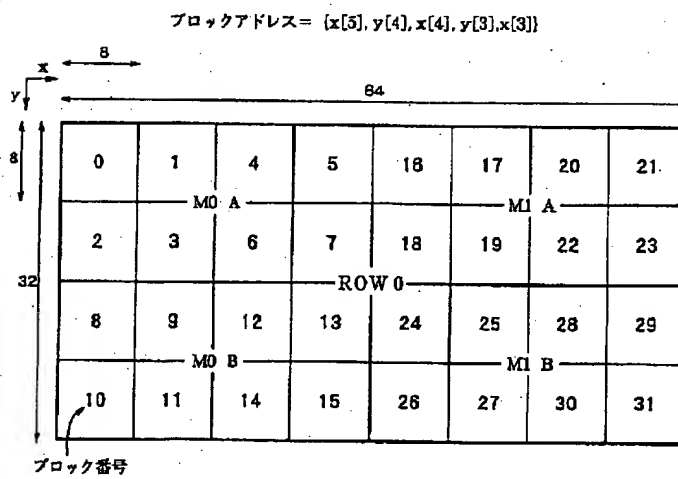
【 図4 】



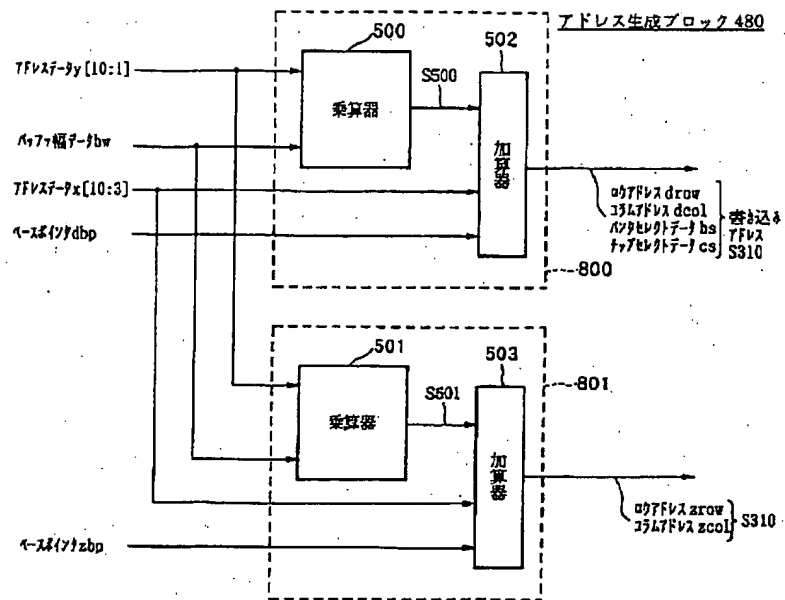
【 図7 】



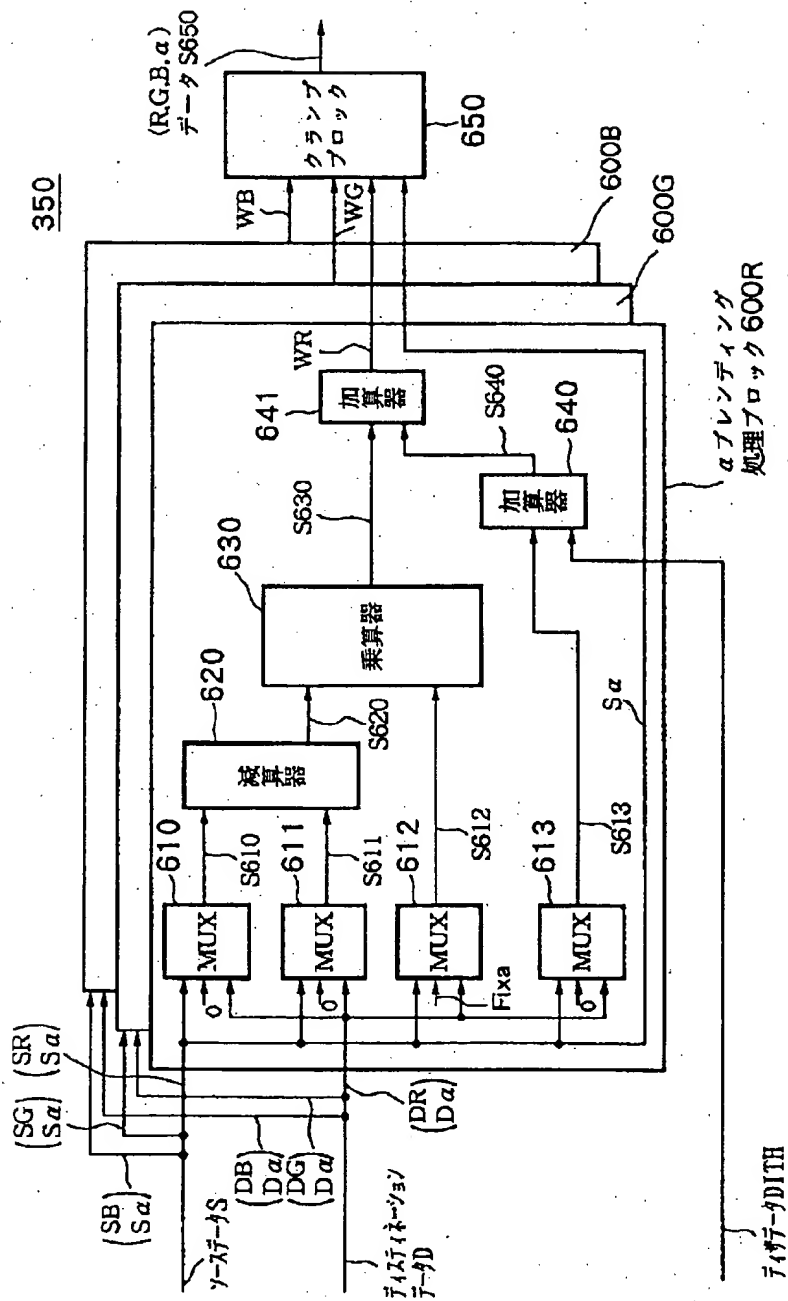
【 図6 】



【 図8 】



【 図9 】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

G06T 1/60  
 1/20  
 11/00  
 15/40

識別記号

FI

G09G 5/02  
 G06F 15/64  
 15/66  
 15/72

テームト (参考)

B  
 450G  
 K  
 310

15/00

G 0 9 G 5/02

4 2 0

4 5 0 A

F ターム (参考) 5B047 AA07 AA12 AB04 EA07 EB05

EB12

5B057 CA01 CA08 CA12 CA16 CB12

CB16 CC03 CE17 CH04 CH09

CH11

5B060 AB07 AC13 AC20 GA08 GA16

5B080 AA13 AA19 CA03 CA09 DA07

DA08 FA03 FA07 FA15 GA02

GA22 GA26

5C082 AA01 AA36 BA12 BA46 BB15

BB22 CA12 CA51 DA54 DA57

DA64 DA67 MM02